



OKI.619

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Hiroshi Nagatomo

Group Art Unit: 2813

Serial No.: 10/761,186

Examiner: H. Doty

Filed: January 22, 2004

Confir. No.: 2716

For: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
Customer Window  
Randolph Building  
401 Dulany Street  
Alexandria, VA 22314

Date: November 30, 2005

Sir:

Applicant, in the above-identified application, hereby claims the priority date  
under the International Convention of the following Japanese application:

Appln. No. 2003-344056

filed October 2, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS & WHITT, P.L.L.C.

Andrew J. Telesz, Jr.  
Registration No. 33,581

One Freedom Square  
11951 Freedom Drive, Suite 1260  
Reston, Virginia 20190  
Tel. (571) 283-0720  
Fax. (571) 283-0740

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日      2 0 0 3 年 1 0 月    2 日  
Date of Application:

出 願 番 号      特 願 2 0 0 3 - 3 4 4 0 5 6  
Application Number:

[ST. 10/C] :      [ J P 2 0 0 3 - 3 4 4 0 5 6 ]

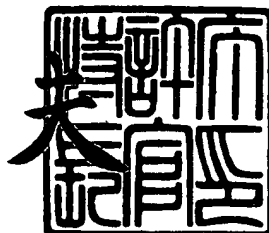
出 願 人      沖電気工業株式会社  
Applicant(s):      宮城沖電気株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2 0 0 3 年 1 2 月 2 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 MA001445  
【提出日】 平成15年10月 2日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 29/78  
【発明者】  
    【住所又は居所】 宮城県黒川郡大衡村沖の平 1 番 宮城沖電気株式会社内  
    【氏名】 長友 宏至  
【特許出願人】  
    【識別番号】 000000295  
    【氏名又は名称】 沖電気工業株式会社  
【特許出願人】  
    【識別番号】 591048162  
    【氏名又は名称】 宮城沖電気株式会社  
【代理人】  
    【識別番号】 100083840  
    【弁理士】  
    【氏名又は名称】 前田 実  
【選任した代理人】  
    【識別番号】 100116964  
    【弁理士】  
    【氏名又は名称】 山形 洋一  
【手数料の表示】  
    【予納台帳番号】 007205  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9003703  
    【包括委任状番号】 0101807

**【書類名】 特許請求の範囲****【請求項 1】**

シリコン基板上のゲート電極を形成する工程と、  
前記ゲート電極の側面に第 1 のスペーサを形成する工程と、  
前記ゲート電極および前記第 1 のスペーサをマスクとして、シリコン基板の表面を削り取って前記第 1 のスペーサの基底部に隣接した位置に段差部を形成する工程と、  
前記段差部に第 2 のスペーサを形成する工程と、  
前記第 1 のスペーサおよび第 2 のスペーサをマスクとして、前記シリコン基板にシリサイドを形成する工程と  
を有する半導体装置の製造方法。

**【請求項 2】**

前記段差部が上向きの傾斜面を有するように形成されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

**【請求項 3】**

前記段差部が前記シリコン基板の表面に対して垂直な面を有するように形成されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

**【請求項 4】**

前記段差部が、前記ゲート電極に向かって凸となる曲面を有するように形成されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

**【請求項 5】**

前記段差部が下向きの傾斜面を有するように形成されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

**【請求項 6】**

前記シリサイドの形成が、金属をスパッタリングしてシリコン基板の表面に堆積させ、熱処理を行なうことによりなされることを特徴とする請求項 1 に記載の半導体装置の製造方法。

**【請求項 7】**

前記金属がコバルトであることを特徴とする請求項 6 に記載の半導体装置の製造方法。

**【請求項 8】**

前記ゲート電極が、ゲート酸化膜上に位置するポリシリコン層、その上に位置するタンゲステン層、その上に位置する窒化珪素膜で形成されたものであることを特徴とする請求項 1 に記載の半導体装置の製造方法。

**【請求項 9】**

前記ゲート電極の側面に側壁酸化膜が形成され、その上に前記第 1 のスペーサが形成されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

**【請求項 10】**

前記第 2 のスペーサは、酸化膜で形成されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

**【請求項 11】**

前記第 2 のスペーサの形成は、基板の表面を覆う酸化膜を形成した後、基板表面のうちの素子領域以外の部分をレジストパターンで覆い、この状態で前記酸化膜に対して異方性エッチングを行うことによりなされることを特徴とする請求項 10 に記載の半導体装置の製造方法。

**【書類名】明細書****【発明の名称】半導体装置の製造方法****【技術分野】****【0 0 0 1】**

この発明は、半導体装置の製造方法に関し、特にサリサイド (salicide: self-aligned silicide) 構造の MOS 型半導体装置の製造方法に関する。

**【背景技術】****【0 0 0 2】**

サリサイド構造の MOS 型半導体装置の一例が下記の特許文献 1 に記載されている。

**【0 0 0 3】**

【特許文献 1】特開平 8 - 1 8 6 0 8 5 号公報

**【0 0 0 4】**

この半導体装置は、ゲート電極の上面と拡散層の表面とにシリサイド膜が選択的に形成されており、この結果拡散層の抵抗と配線としてのゲート電極の抵抗とが低減され、半導体装置の高速化、高性能化に大きく寄与している。シリサイドとしては、チタンシリサイド ( $TiSi_2$ ) やコバルトシリサイド ( $CoSi_2$ ) が用いられる。

**【0 0 0 5】**

拡散層の表面のシリサイドは、ゲート電極及びその側面のスペーサによってその形成領域が規制され、ゲート電極と整列したものとなるもので、自己整合型のシリサイド膜、即ちサリサイド膜と呼ばれる。

**【発明の開示】****【発明が解決しようとする課題】****【0 0 0 6】**

然るに、シリサイドが、スペーサの下の部分で横方向に過剰に成長して、シリサイドの端部がゲート電極に異常に近くなりすぎて、半導体装置の動作に際し、ゲートと拡散層との間にリーク電流が発生する恐れがあった。

**【0 0 0 7】**

本発明は、上記の問題に鑑みてなされたものであり、その目的は、ゲート電極と拡散層との間のリーク電流を防止し得る半導体装置の製造方法を提供することにある。

**【課題を解決するための手段】****【0 0 0 8】**

本発明の半導体装置の製造方法は、  
シリコン基板上のゲート電極を形成する工程と、  
前記ゲート電極の側面に第 1 のスペーサを形成する工程と、  
前記ゲート電極および前記第 1 のスペーサをマスクとして、シリコン基板の表面を削り取って前記第 1 のスペーサの基底部に隣接した位置に段差部を形成する工程と、  
前記段差部に第 2 のスペーサを形成する工程と、  
前記第 1 のスペーサおよび第 2 のスペーサをマスクとして、前記シリコン基板にシリサイドを形成する工程と  
を有する。

**【発明の効果】****【0 0 0 9】**

本発明によれば、第 1 のスペーサの基底部に隣接して、基板に段差部を形成し、この段差部に第 2 のスペーサを形成し、第 1 のスペーサのみならず第 2 のスペーサをもマスクとしてシリサイド層を形成することとしたので、シリサイドがゲート電極側に若干成長してもゲート電極と拡散層 (ソース/ドレイン領域) の間のリーク電流を確実に防止することができる。

**【発明を実施するための最良の形態】****【0 0 1 0】**

以下に図面を参照して本発明の実施の形態を説明する。

## 【0011】

実施の形態1.

図1乃至図9に実施の形態1の製造方法の各過程における半導体装置の状態を示す。この半導体装置は、NMOSFETを含むものである。

## 【0012】

まず、図1に示すように、シリコン基板101上には、各素子を隣接素子から電氣的に分離するための素子分離領域102が形成される。

このようなシリコン基板101上に厚さ3nm程度の酸化膜103を形成する。この酸化膜はゲート酸化膜（絶縁膜）となるものである。

## 【0013】

次に、ゲート酸化膜103上の所定の位置にゲート電極105を形成する。このゲート電極105は、例えば、厚さ120nm程度のポリシリコン膜106と、その上に位置する厚さ100nm程度のタングステン膜107と、その上に位置する厚さ200nm程度の窒化膜（窒化珪素膜）108とを含む。

このようなゲート電極105は、酸化膜103の上、ポリシリコン層、タングステン層、窒化膜を順に形成し、パターニングすることにより形成される。

## 【0014】

次に、ゲート電極105の上面及び側面、並びに基板101の表面に酸化膜110を形成する。これは例えば、ゲート酸化膜103およびゲート電極105を形成したシリコン基板101に対し、900℃、ドライO<sub>2</sub>雰囲気中で熱酸化を行なうことにより行なわれる。酸化膜110の厚さは10nm程度とする。図1は、酸化膜110が形成された状態を示す。

## 【0015】

次に、図2に示すように、シリコン基板101の表面に例えばリンを40keV、7E13cm<sup>-2</sup>の条件でイオン注入し、N<sup>-</sup>層（N型の低濃度拡散層）115を形成する。このように、低濃度拡散層115は、ゲート電極105及びその側面に形成された酸化膜110をマスクとして、自己整合的に形成される。

## 【0016】

次に、図3に示すように、酸化膜110で覆われたゲート電極105の上面及び側面、並びに基板101の表面上に、例えばLPCVD法で、窒化膜112を形成する。

## 【0017】

次に、図4に示すように、異方性エッチングを行なうことにより、ゲート電極105の上面の窒化膜112及び酸化膜110、並びに基板101の表面の窒化膜112及び酸化膜110及び103をエッチング除去する一方、ゲート電極105の側面上の窒化膜112を残すとともに、さらにオーバーエッチングにより、基板101の表面を25nm程度削り取る。

## 【0018】

ゲート電極105の側面に残った窒化膜112は、スペーサとなるものであり、その厚さ（横方向、即ちゲート電極105の側面に垂直な方向の寸法）は例えば60nm程度とする。なお、スペーサ112は、後述の第2のスペーサとの区別のため、第1のスペーサと呼ばれることもある。

## 【0019】

このような異方性エッチングは、例えば、マグネトロンRIEタイプのエッチング装置を用いて、例えば処理圧力18mT、RF出力500W、CHF<sub>3</sub>/Ar/O<sub>2</sub>:30/70/5sccmの混合ガスを用い、下部電極温度を50℃とし、処理時間35秒で行なわれる。

## 【0020】

さらに、同じく、マグネトロンRIEタイプのエッチング装置を用いて、例えば処理圧力18mT、RF出力500W、CHF<sub>3</sub>/Ar/O<sub>2</sub>:50/70/3sccmの混合ガスを用い、下部電極温度を50℃とし、処理時間10秒で、オーバーエッチングを行う

ことにより基板 101 の表面を 25 nm 程度削り取るとともに、第 1 のスペーサ 112 の基底部に隣接する部分に、基板 101 の段差部（ステップ状部）118 が形成される。この実施の形態 1 では、段差部 118 は、基板 101 の表面に対して傾斜した、上向きの傾斜面 118 a を有するように形成される。この傾斜面 118 a の上端は、第 1 のスペーサ 112 の基底部に隣接した位置で、基板 101 のうちの、第 1 のスペーサ 112 などによって覆われていて、上記の異方性エッチングで削り取られなかった部分に接続され、傾斜面 118 a の下端が基板 101 のうちの、上記のエッチングで削り取られた部分の表面に接続されている。

#### 【0021】

この後、図 5 に示すように、ゲート電極 105 の上面、第 1 のスペーサ（窒化膜）112 の側面、基板 101 の表面に酸化膜 114 を形成する。これは例えば、図 4 に示す構造体を、850℃、ドライ O<sub>2</sub> 雰囲気中で熱酸化することにより行なわれる。酸化膜 114 の厚さは 20 nm 程度とする。

#### 【0022】

この後、ゲート電極 105、並びにゲート電極 105 の側面の酸化膜 110、第 1 のスペーサ 112 及び酸化膜 114 r をマスクとして、例えば砒素を 50 keV、3E15 cm<sup>-2</sup> の条件でイオン注入し、1000℃で 20 秒間 N<sub>2</sub> 中で活性化し、N<sup>+</sup> 層、即ち N 型の高濃度拡散層 116 を形成する。この高濃度拡散層 116 は拡散層ソース／ドレイン領域を形成するものである。

#### 【0023】

このように、高濃度拡散層 116 は、ゲート電極 105、並びにその側面に形成された酸化膜 110、第 1 のスペーサ 112 及び酸化膜 114 をマスクとして、自己整合的に形成される。

#### 【0024】

次に、ゲート電極 105 の上面、第 1 のスペーサ 112 の側面、及び基板 101 の拡散層（ソース／ドレイン領域）の表面上の酸化膜 114 を除去する。

これはフォトリソグラフィにより行なわれる。即ち、まず、ゲート電極 105 の上面及び側面を含む基板 101 の全面にレジスト膜を形成し、選択的露光を行い、レジストパターン 120 を形成する（図 6 及び図 7）。このレジストパターン 120 は、素子領域（一対の拡散層 116 及びこれらの拡散層 116 相互間に位置するゲート電極 105 の上面）に対応する略矩形の開口 122 を有する一方、上記の素子領域外の部分を覆うものである（図 7 参照）。

#### 【0025】

次に、異方性エッチングにより、レジストパターン 120 の開口 122 内に位置する酸化膜 114、即ち基板 101 の素子領域の酸化膜 114 を除去する（図 8）。この除去は、異方性エッチングにより行われる。エッチングが異方性エッチングにより行なわれるので、基板 101 の段差部 118 の酸化膜 114 r が残される。

#### 【0026】

この異方性エッチングは、例えばドライエッチングにより行なわれる。例えば、マグネトロンエッチャで、処理圧力 40 mT、RF 出力 300 W、C<sub>4</sub>F<sub>8</sub> / Ar / O<sub>2</sub> : 20 / 500 / 4 sccm の混合ガスで行なう。

#### 【0027】

この処理によって、上記のように、段差部 118 に酸化膜 114 r が残る。この酸化膜 114 r は第 2 のスペーサとして用いられる。なお、素子領域外にも酸化膜 114 が残るが、これは図示されていない。

#### 【0028】

次に、残っているレジストパターン 120 を除去する。

#### 【0029】

次に、酸化膜 114（段差部 118 上の酸化膜 114 r を含む）、酸化膜 110 及び第 1 のスペーサ 112 のいずれに覆われていない部分にシリサイド、例えばコバルトシリサ

イドを形成する。これは、基板101の全面に金属例えばコバルトをスパッタリングにより厚さ6nm程度堆積させ、熱処理によりシリサイド化する。例えば、N<sub>2</sub>中で30秒間熱処理を施し、拡散層（ソース／ドレイン領域）及びゲート電極105上のコバルトをシリサイド化する。図9には、シリサイド化された部分が符号124、126で示されている。

#### 【0030】

拡散層の表面部に形成されたシリサイド層124は、ゲート電極105、並びにゲート電極105の側面に形成された酸化膜110及び第1のスペーサ（窒化膜）112、及び段差部118の第2のスペーサ（酸化膜）114rと自己整合的に形成されているので、自己整合的シリサイド層、即ちシリサイド層とも呼ばれる。

#### 【0031】

シリサイド層124の形成に際し、第1のスペーサ110のみならず、第2のスペーサ114rがマスクとして働くので、拡散層（ソース／ドレイン領域）のうちの第2のスペーサ114rに覆われていない部分のゲート電極105側の端部と、ゲート電極105との間の間隔D<sub>s</sub>が比較的大きく、シリサイド層124が、第1のスペーサ110や第2のスペーサ114rの下部において、ゲート電極105の側に若干成長した場合にも、シリサイド層124と、ゲート電極105との距離が小さくなりすぎることが回避される。この結果、ゲート電極105とシリサイド層124（乃至はシリサイド層124が形成された拡散層116）との間のリーク電流を確実に防止することができる。

#### 【0032】

即ち、従来の方法で形成されたMOSトランジスタは、図9の酸化膜114rで形成された第2のスペーサが存在せず、図10に示すような構造を有するため、拡散層（ソース／ドレイン領域）のうちの第1のスペーサ112で覆われていない部分の、ゲート電極105に近い側の端部とゲート電極105との間隔D<sub>a</sub>が比較的小さく、シリサイド層124がゲート電極側に成長した場合に、ゲート電極105との距離が小さくなりすぎて、リーク電流I<sub>c</sub>が流れることがあったが、上記の実施の形態のように第2のスペーサ114rを設ける結果、このようなリーク電流の発生を抑制することができる。

#### 【0033】

実施の形態2.

上記の実施の形態1では、段差部118が、上向きの傾斜面118aを有するように形成されたものであるが、このようにする代わりに、図11に示すように、垂直な面128aを有する段差部128を形成することとしても良い。

#### 【0034】

この場合、図3までの工程は、実施の形態1について説明したのと同様である。

#### 【0035】

図3の構造体に対し、異方性エッチングを行なうことにより、ゲート電極105の上面の窒化膜112及び酸化膜110、並びに基板101の表面の窒化膜112及び酸化膜110及び103をエッチング除去する一方、ゲート電極105の側面上の窒化膜112を残すとともに、さらにオーバーエッチングにより、基板101の表面を25nm程度削り取る。

#### 【0036】

ゲート電極105の側面に残った窒化膜112は、スペーサ（第1のスペーサ）となるものであり、その厚さは例えば60nm程度とする。

#### 【0037】

このような異方性エッチングは、例えば、マグネトロンRIEタイプのエッチング装置を用いて、例えば処理圧力18mT、RF出力500W、CHF<sub>3</sub>/Ar/O<sub>2</sub>:30/70/5sccmの混合ガスを用い、下部電極温度を50℃とし、処理時間35秒で行なわれる。

#### 【0038】

さらに、同じく、マグネトロンRIEタイプのエッチング装置を用いて、例えば処理圧



力18mT、RF出力500W、 $\text{CHF}_3/\text{Ar}/\text{O}_2$ :30/70/5sccmの混合ガスを用い、下部電極温度を50℃とし、処理時間7秒で、オーバーエッチングを行うことにより基板101の表面を25nm程度削り取るとともに、第1のスペーサ112の基底部に隣接する位置に段差部128を形成する。この実施の形態では、段差部128は、基板101の表面に対して垂直な面128aを有するように形成される。この垂直な面128aは、ゲートの長さ方向（図において左右方向）に対して垂直であり、この垂直な面128aの上端は、第1のスペーサ112の基底部に隣接した位置で、基板101のうちの、第1のスペーサ112などで覆われていて、上記の異方性エッチングで削り取られなかった部分に接続され、垂直な面128aの下端が基板101のうちの、上記のエッチングで削り取られた部分の表面に接続されている。

#### 【0039】

この後、図12に示すように、実施の形態1と同様にして、ゲート電極105の上面、第1のスペーサ112の側面、基板101の表面に厚さ20nm程度の酸化膜114を形成する。

#### 【0040】

この後、実施の形態1と同様に、イオン注入などにより、ソース／ドレイン領域を構成する高濃度拡散層116を形成する。

#### 【0041】

次に、実施の形態1と同様に、ゲート電極105の上面、第1のスペーサ112の側面、及び基板101の拡散層の表面上の酸化膜114を除去する。

#### 【0042】

次に、実施の形態1と同様に、レジストパターン120の開口122内に位置する酸化膜114、即ち基板101の素子領域の酸化膜114を除去する（図13）。この除去は、異方性エッチングにより行われる。エッチングが異方性エッチングにより行なわれるので、基板101の段差部128の酸化膜114rが残される（図13）。

#### 【0043】

この処理によって上記のように段差部128に残された酸化膜114rは第2のスペーサとして用いられる。

#### 【0044】

次に、残っているレジストパターン120を除去する。

#### 【0045】

次に、酸化膜114（段差部128上の酸化膜114rを含む）、酸化膜110及び第1のスペーサ112のいずれに覆われていない部分にシリサイド層124、126を形成する（図14）。

#### 【0046】

拡散層の表面部に形成されたシリサイド層124は、ゲート電極105、並びにゲート電極105の側面に形成された酸化膜110及び第1のスペーサ112、及び段差部128の第2のスペーサ（酸化膜）114rと自己整合的に形成されているので、シリサイド層とも呼ばれる。

#### 【0047】

シリサイド層124の形成に際し、第1のスペーサ110のみならず、第2のスペーサ114rがマスクとして働くので、拡散層（ソース／ドレイン領域）のうちの第2のスペーサ114rに覆われていない部分のゲート電極105側の端部と、ゲート電極105との間の間隔Dsが比較的大きく、シリサイド層124が、第1のスペーサ110や第2のスペーサ114rの下部において、ゲート電極105の側に若干成長した場合にも、シリサイド層124と、ゲート電極105との距離が小さくなりすぎることが回避される。この結果、ゲート電極105とシリサイド層124（乃至はシリサイド層124が形成された拡散層116）との間のリーク電流を確実に防止することができる。

#### 【0048】

また段差部が垂直面で構成されているので、酸化膜114を除去する異方性エッチング

の際、段差部の酸化膜を確実に残すことができ、第2のスペーサを確実に形成することができる。

さらに段差部が垂直面で構成されるので、第2のスペーサがより厚く安定して形成されるので、シリサイドの過剰成長によるゲート電極と拡散層（ソース／ドレイン）間のリーク電流を一層確実に防止することができる。

さらにまた、ゲート長を実質的に変えることなく、リーク電流を防止することができる。

#### 【0049】

実施の形態3.

上記の実施の形態1では、段差部118が、上向きの傾斜面118aを有するように形成されたものであり、実施の形態2では、段差部128が垂直な面128aを有するように形成されたものであるが、このようにする代わりに、図15に示すように、ゲート電極に向かって凸の曲面138aを有する段差部（ラウンド状の段差部）138を形成することとしても良い。

#### 【0050】

この場合、図3までの工程は、実施の形態1について説明したのと同様である。

#### 【0051】

図3の構造体に対し、異方性エッチングを行なうことにより、ゲート電極105の上面の窒化膜112及び酸化膜110、並びに基板101の表面の窒化膜112及び酸化膜110及び103をエッチング除去する一方、ゲート電極105の側面上の窒化膜112を残すとともに、さらにダウンフロータイプのエッチング装置を用いて、基板101の表面を25nm程度削り取る。

#### 【0052】

ゲート電極105の側面に残った窒化膜112は、スペーサ（第1のスペーサ）となるものであり、その厚さは例えば60nm程度とする。

#### 【0053】

このような異方性エッチングは、例えば、マグネトロンRIEタイプのエッチング装置を用いて、例えば処理圧力18mT、RF出力500W、 $\text{CHF}_3/\text{Ar}/\text{O}_2:30/70/5\text{ sccm}$ の混合ガスを用い、下部電極温度を50℃とし、処理時間35秒で行なわれる。

#### 【0054】

その後、マイクロ波タイプのケミカル・ドライ・エッチング装置を用いて、例えば処理圧力30Pa、マイクロ波出力400W、 $\text{CF}_4/\text{O}_2:150/150\text{ sccm}$ の混合ガスを用い、下部電極温度を25℃とし、処理時間40秒で、オーバーエッチングを行うことにより、シリコン基板101の表面を25nm程度削り取るとともに、第1のスペーサ112の基底部に隣接した位置にラウンド状の段差部138を形成するようなエッチングを行う。

#### 【0055】

このラウンド状の段差部は、縦断面がゲート電極105側に凸となる曲面、例えば略円筒状の面（縦断面が略円弧状の面）138aを有するように形成される。曲面138aの上端は、第1のスペーサ112の基底部に隣接した位置で、基板101のうちの、第1のスペーサ112などで覆われていて、上記の異方性エッチングで削り取られなかった部分に接続され、曲面138aの下端が基板101のうちの、上記のエッチングで削り取られた部分の表面に接続されている。

#### 【0056】

この後、図16に示すように、実施の形態1と同様にして、ゲート電極105の上面、第1のスペーサ112の側面、基板101の表面に厚さ20nm程度の酸化膜114を形成する。

#### 【0057】

この後、実施の形態1と同様に、イオン注入などにより、ソース／ドレイン領域を構成

する高濃度拡散層 116 を形成する。

【0058】

次に、実施の形態 1 と同様に、ゲート電極 105 の上面、第 1 のスペーサ 112 の側面、及び基板 101 の拡散層の表面上の酸化膜 114 を除去する。

【0059】

次に、実施の形態 1 と同様に、レジストパターン 120 の開口 122 内に位置する酸化膜 114、即ち基板 101 の素子領域の酸化膜 114 を除去する（図 17）。エッチングが異方性エッチングにより行なわれるので、基板 101 の段差部 138 の酸化膜 114 r が残される（図 17）。

【0060】

この処理によって上記のように段差部 138 に残された酸化膜 114 r は第 2 のスペーサとして用いられる。

【0061】

次に、残っているレジストパターン 120 を除去する。

【0062】

次に、酸化膜 114（段差部 138 上の酸化膜 114 r を含む）、酸化膜 110 及び第 1 のスペーサ 112 のいずれに覆われていない部分にシリサイド層 124、126 を形成する（図 18（a）、（b））。なお、図 18（b）は、図 18（a）の酸化膜 114 r の部分を拡大して示すものである。

【0063】

拡散層の表面部に形成されたシリサイド層 124 は、ゲート電極 105、並びにゲート電極 105 の側面に形成された酸化膜 110 及び第 1 のスペーサ 112、及び段差部 138 の酸化膜 114 r と自己整合的に形成されているので、シリサイド層とも呼ばれる。

【0064】

シリサイド層 124 の形成に際し、第 1 のスペーサ 110 のみならず、第 2 のスペーサ 114 r がマスクとして働くので、拡散層（ソース／ドレイン領域）のうちの第 2 のスペーサ 114 r に覆われていない部分のゲート電極 105 側の端部と、ゲート電極 105 との間の間隔  $D_s$  が比較的大きく、シリサイド層 124 が、第 1 のスペーサ 110 や第 2 のスペーサ 114 r の下部において、ゲート電極 105 の側に若干成長した場合にも、シリサイド層 124 と、ゲート電極 105 との距離が小さくなりすぎることが回避される。この結果、ゲート電極 105 とシリサイド層 124（乃至はシリサイド層 124 が形成された拡散層 116）との間のリーク電流を確実に防止することができる。

【0065】

また段差部がラウンド状に形成されているので、酸化膜 114 を除去する異方性エッチングの際、段差部の酸化膜を確実に残すことができ、第 2 のスペーサを確実に形成することができる。

さらに段差部がラウンド状に形成されるので、第 2 のスペーサがより厚く安定して形成されるので、シリサイドの過剰成長によるゲート電極と拡散層（ソース／ドレイン）間のリーク電流を確実に防止することができる。

【0066】

実施の形態 4.

上記の実施の形態 1 では、段差部 118 が、上向きの傾斜面 118 a を有するように形成されたものであり、実施の形態 2 では、段差部 128 が垂直な面 128 a を有するように形成されたものであり、実施の形態 3 では段差部 138 が曲面 138 a を有するように形成されたものであるが、このようにする代わりに、図 19 に示すように、下向きの傾斜面を有する段差部（逆テーパ状の段差部）148 を形成することとしても良い。

【0067】

この場合、図 3 までの工程は、実施の形態 1 について説明したのと同様である。

【0068】

図 3 の構造体に対し、異方性エッチングを行なうことにより、ゲート電極 105 の上面

の窒化膜 112 及び酸化膜 110、並びに基板 101 の表面の窒化膜 112 及び酸化膜 110 及び 103 をエッチング除去する一方、ゲート電極 105 の側面上の窒化膜 112 を残すとともに、さらにマグネトロンタイプのエッチング装置を用いて、基板 101 の表面を 25 nm 程度削り取る。

【0069】

ゲート電極 105 の側面に残った窒化膜 112 は、スペーサ（第 1 のスペーサ）となるものであり、その厚さは例えば 60 nm 程度とする。

【0070】

このような異方性エッチングは、例えば、マグネトロン RIE タイプのエッチング装置を用いて、例えば処理圧力 18 mT、RF 出力 500 W、 $\text{CHF}_3 / \text{Ar} / \text{O}_2 : 30 / 70 / 5 \text{ sccm}$  の混合ガスを用い、下部電極温度を 50 °C とし、処理時間 35 秒で行なわれる。

【0071】

その後、ICP タイプのドライ・エッチング装置を用いて、例えば処理圧力 50 mT、ソース出力 300 W、RF 出力 100 W、 $\text{He} / \text{O}_2 / \text{HBr} : 100 / 1 / 100 \text{ sccm}$  の混合ガスを用い、下部電極温度を 25 °C とし、処理時間 15 秒で、オーバーエッチングを行うことにより、シリコン基板 101 の表面を 25 nm 程度削り取るとともに、第 1 のスペーサ 112 の基底部に隣接した位置に逆テーパ状の段差部 148 を形成するようなエッチングを行う。

【0072】

この逆テーパ状の段差部 148 は、下向きの傾斜面 148a を有するものであり、傾斜面 148a の上端が、第 1 のスペーサ 112 の基底部に隣接した位置で、基板 101 のうちの、第 1 のスペーサ 112 などによって覆われていて、上記の異方性エッチングで削り取られなかった部分に接続され、傾斜面 148a の下端が基板 101 のうちの、上記のエッチングで削り取られた部分の表面に接続されている。

【0073】

この後、図 20 に示すように、実施の形態 1 と同様にして、ゲート電極 105 の上面、第 1 のスペーサ 112 の側面、基板 101 の表面に厚さ 20 nm 程度の酸化膜 114 を形成する。

【0074】

この後、実施の形態 1 と同様に、イオン注入などにより、ソース／ドレイン領域を構成する高濃度拡散層 116 を形成する。

【0075】

次に、実施の形態 1 と同様に、ゲート電極 105 の上面、第 1 のスペーサ 112 の側面、及び基板 101 の拡散層（ソース／ドレイン領域）上の酸化膜 114 を除去する。

【0076】

次に、実施の形態 1 と同様に、実施の形態 1 と同様に、レジストパターン 120 の開口 122 内に位置する酸化膜 114、即ち基板 101 の素子領域の酸化膜 114 を除去する（図 21）。エッチングが異方性エッチングにより行なわれるので、基板 101 の段差部 148 の酸化膜 114r が残される（図 21）。

【0077】

この処理によって上記のように、段差部 148 に残された酸化膜 114r は第 2 のスペーサとして用いられる。

【0078】

次に、残っているレジストパターン 120 を除去する。

【0079】

次に、酸化膜 114（段差部 148 上の酸化膜 114r を含む）、酸化膜 110 及び第 1 のスペーサ 112 のいずれに覆われていない部分にシリサイド層 124、126 を形成する（図 22（a）、（b））。なお、図 22（b）は、図 22（a）の酸化膜 114r の部分を拡大して示すものである。

## 【0080】

拡散層の表面部に形成されたシリサイド層124は、ゲート電極105、並びにゲート電極105の側面に形成された酸化膜110及び第1のスペーサ112、及び段差部148の酸化膜114rと自己整合的に形成されているので、シリサイド層とも呼ばれる。

## 【0081】

シリサイド層124の形成に際し、第1のスペーサ110のみならず、第2のスペーサ114rがマスクとして働くので、拡散層（ソース／ドレイン領域）のうちの第2のスペーサ114rに覆われていない部分のゲート電極105側の端部と、ゲート電極105との間の間隔Dsが比較的大きく、シリサイド層124が、第1のスペーサ110や第2のスペーサ114rの下部において、ゲート電極105の側に若干成長した場合にも、シリサイド層124と、ゲート電極105との距離が小さくなりすぎることが回避される。この結果、ゲート電極105とシリサイド層124（乃至はシリサイド層124が形成された拡散層116）との間のリーク電流を確実に防止することができる。

## 【0082】

また段差部が逆テーパ状に形成されているので、酸化膜114を除去する異方性エッチングの際、段差部の酸化膜を確実に残すことができ、第2のスペーサを確実に形成することができる。

さらに段差部が逆テーパ状に形成されるので、第2のスペーサがより厚く安定して形成されるので、シリサイドの過剰成長によるゲート電極と拡散層（ソース／ドレイン）間のリーク電流を確実に防止することができる。

## 【0083】

なお、上記の実施の形態では、シリサイドとしてコバルトシリサイドが用いられているが、本発明はこれに限定されず、例えばチタンシリサイドの場合にも適用可能である。

## 【図面の簡単な説明】

## 【0084】

【図1】本発明の実施の形態1の半導体装置の製造方法における、酸化膜110を形成した状態を示す断面図である。

【図2】本発明の実施の形態1の半導体装置の製造方法における、低濃度拡散層115を形成した状態を示す断面図である。

【図3】本発明の実施の形態1の半導体装置の製造方法における、酸化膜112を形成した状態を示す断面図である。

【図4】本発明の実施の形態1の半導体装置の製造方法における、基板101を削り取り、段差部118を形成した状態を示す断面図である。

【図5】本発明の実施の形態1の半導体装置の製造方法における、酸化膜114を形成し、高濃度拡散層116を形成した状態を示す断面図である。

【図6】本発明の実施の形態1の半導体装置の製造方法における、レジストパターン120を形成した状態を示す断面図である。

【図7】本発明の実施の形態1の半導体装置の製造方法における、レジストパターン120を形成した状態を示す平面図である。

【図8】本発明の実施の形態1の半導体装置の製造方法における、第2のスペーサを形成した状態を示す平面図である。

【図9】本発明の実施の形態1の半導体装置の製造方法における、シリサイド層を形成した状態を示す平面図である。

【図10】従来の半導体装置の製造方法における、シリサイド層とゲート電極の間のリーク電流を説明するための断面図である。

【図11】本発明の実施の形態2の半導体装置の製造方法における、基板101を削り取り、段差部128を形成した状態を示す断面図である。

【図12】本発明の実施の形態2の半導体装置の製造方法における、酸化膜114を形成し、高濃度拡散層116を形成した状態を示す断面図である。

【図13】本発明の実施の形態2の半導体装置の製造方法における、第2のスペーサ

を形成した状態を示す平面図である。

【図 14】本発明の実施の形態 2 の半導体装置の製造方法における、シリサイド層を形成した状態を示す平面図である。

【図 15】本発明の実施の形態 3 の半導体装置の製造方法における、基板 101 を削り取り、段差部 138 を形成した状態を示す断面図である。

【図 16】本発明の実施の形態 3 の半導体装置の製造方法における、酸化膜 114 を形成し、高濃度拡散層 116 を形成した状態を示す断面図である。

【図 17】本発明の実施の形態 3 の半導体装置の製造方法における、第 2 のスペーサを形成した状態を示す平面図である。

【図 18】本発明の実施の形態 3 の半導体装置の製造方法における、シリサイド層を形成した状態を示す平面図である。

【図 19】本発明の実施の形態 4 の半導体装置の製造方法における、基板 101 を削り取り、段差部 148 を形成した状態を示す断面図である。

【図 20】本発明の実施の形態 4 の半導体装置の製造方法における、酸化膜 114 を形成し、高濃度拡散層 116 を形成した状態を示す断面図である。

【図 21】本発明の実施の形態 4 の半導体装置の製造方法における、第 2 のスペーサを形成した状態を示す平面図である。

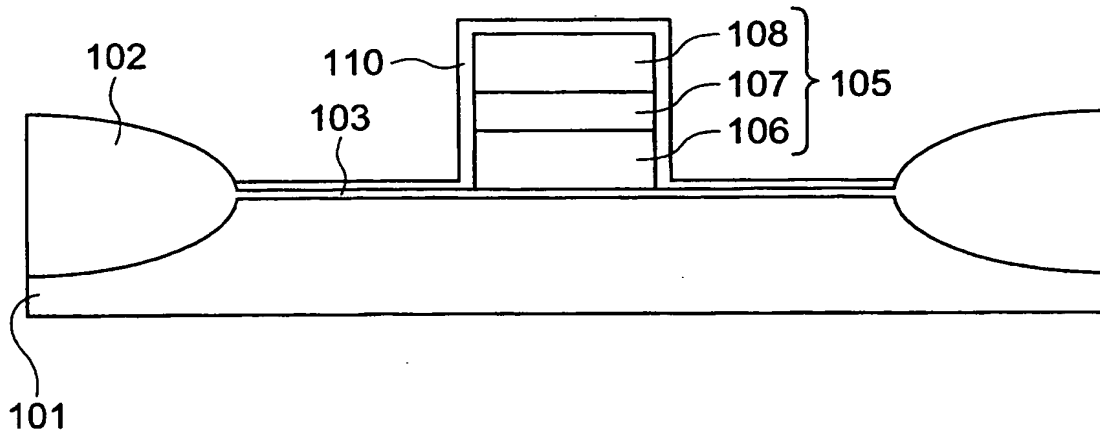
【図 22】本発明の実施の形態 4 の半導体装置の製造方法における、シリサイド層を形成した状態を示す平面図である。

【符号の説明】

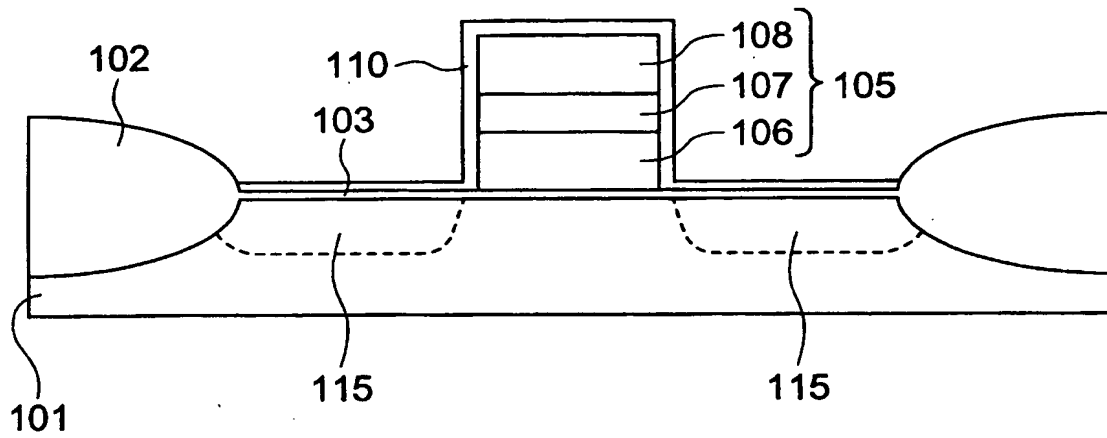
【0085】

101 基板、 105 ゲート電極、 112 第 1 のスペーサ  
114 r 第 2 のスペーサ、 118、128、138、148 段差部、 124、  
126 シリサイド層。

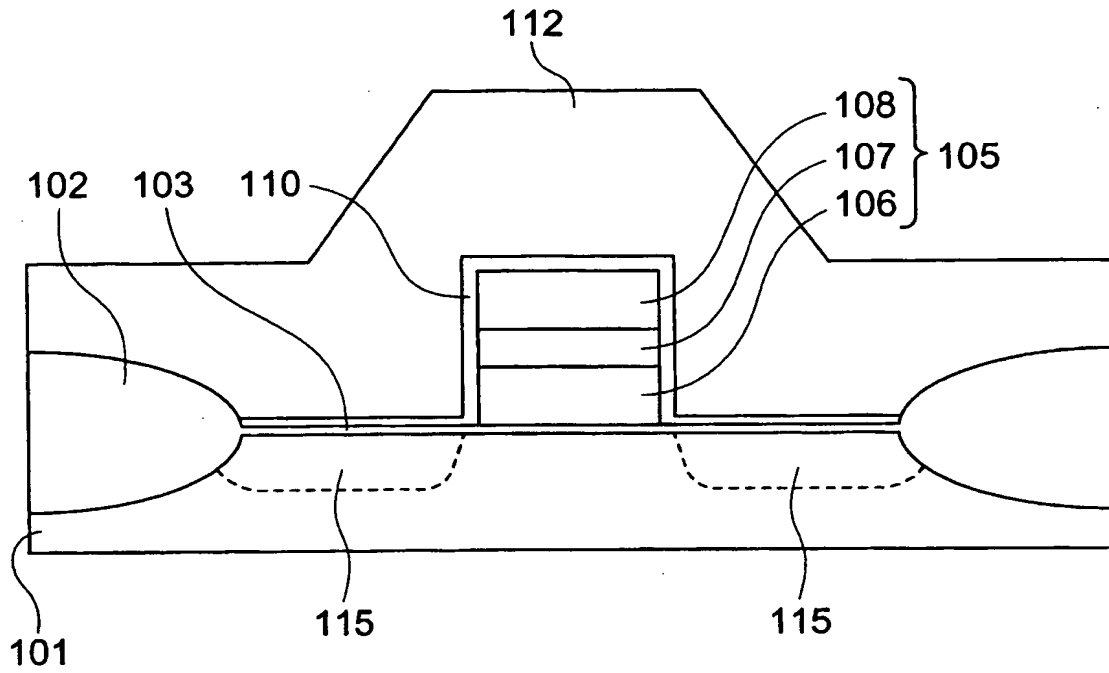
【書類名】 図面  
【図 1】



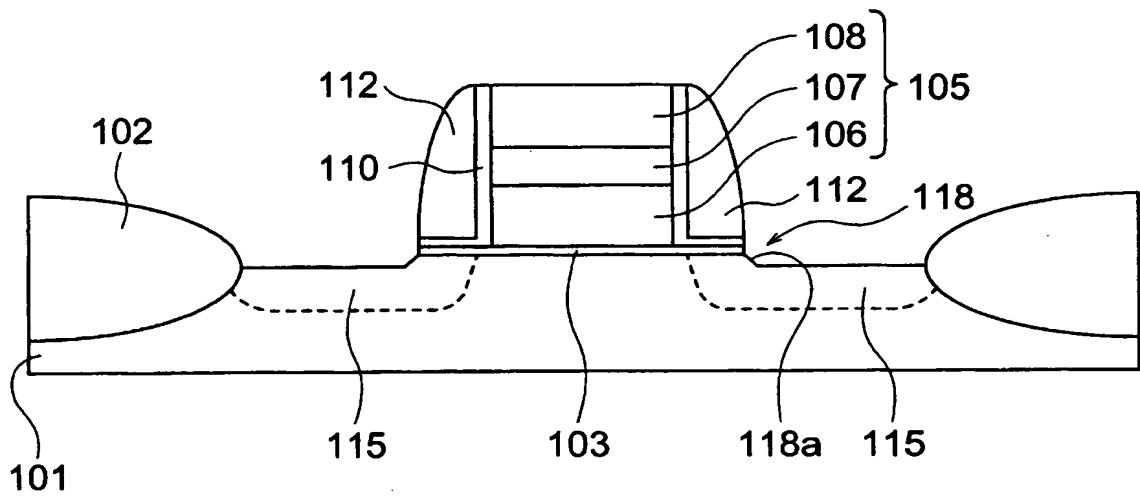
【図 2】



【図 3】

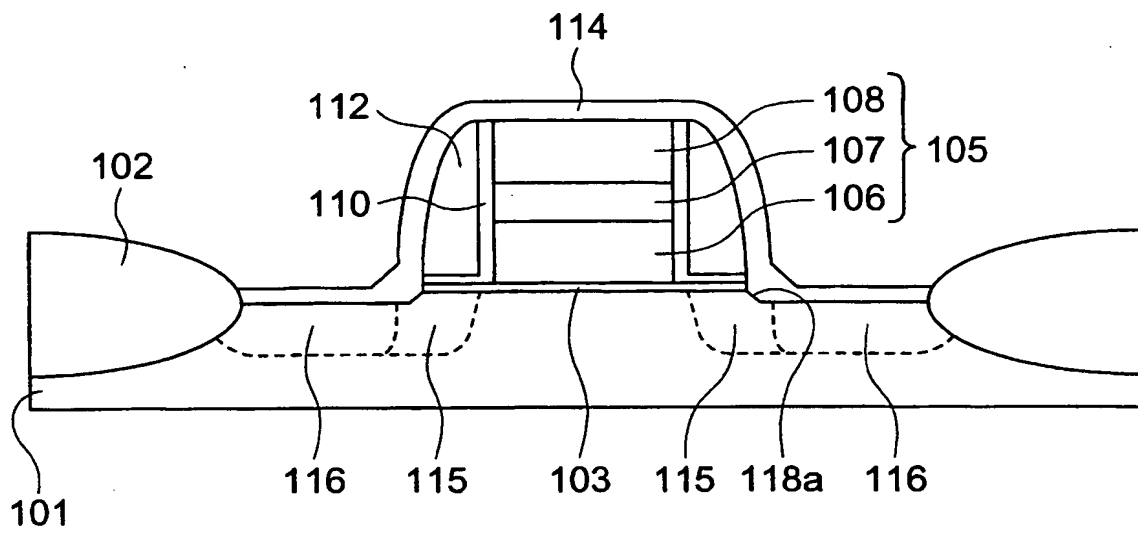


【図 4】

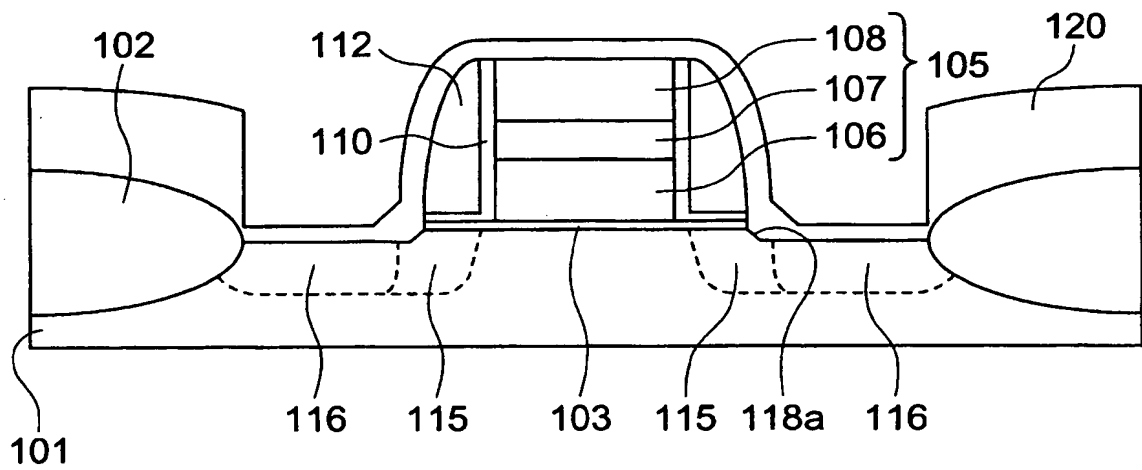




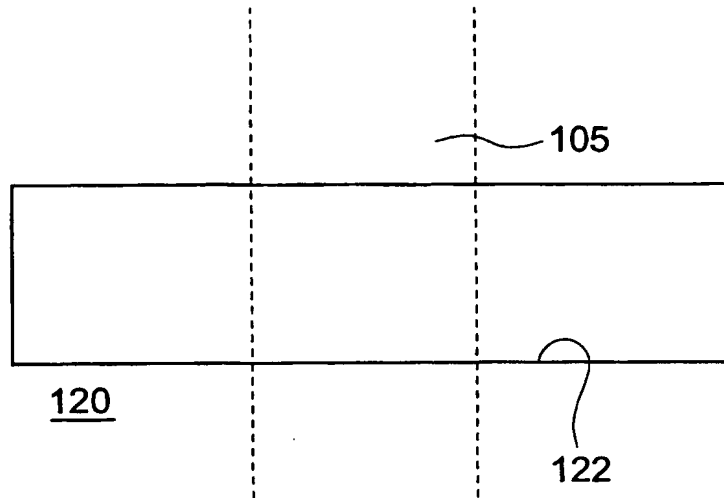
【図 5】



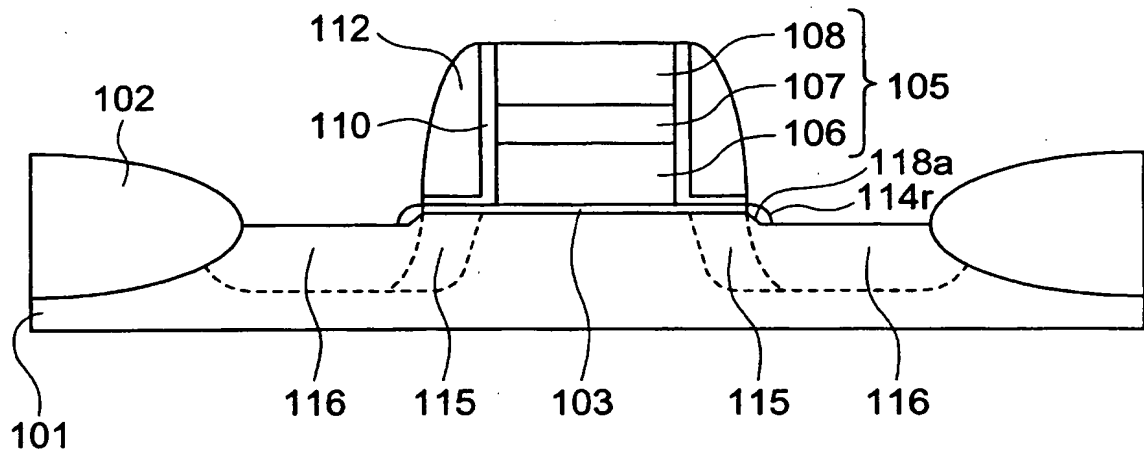
【図 6】



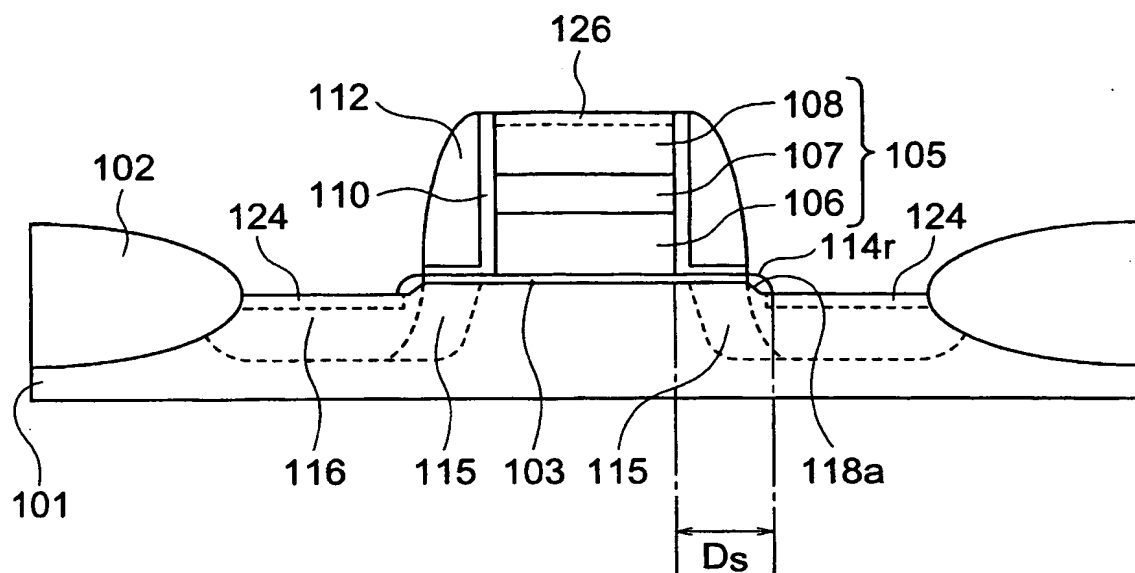
【図 7】



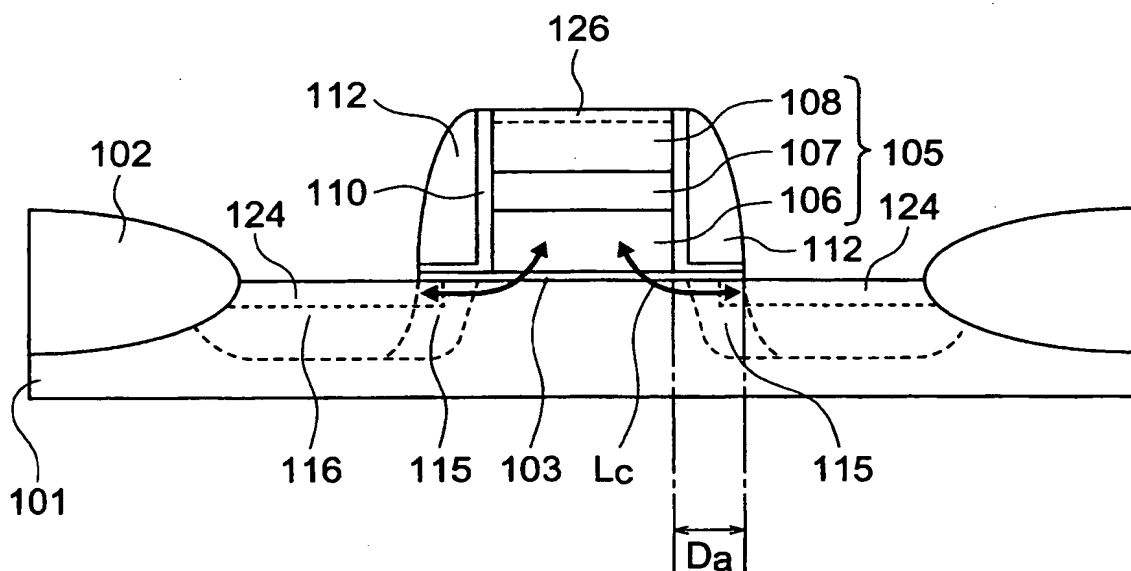
【図 8】



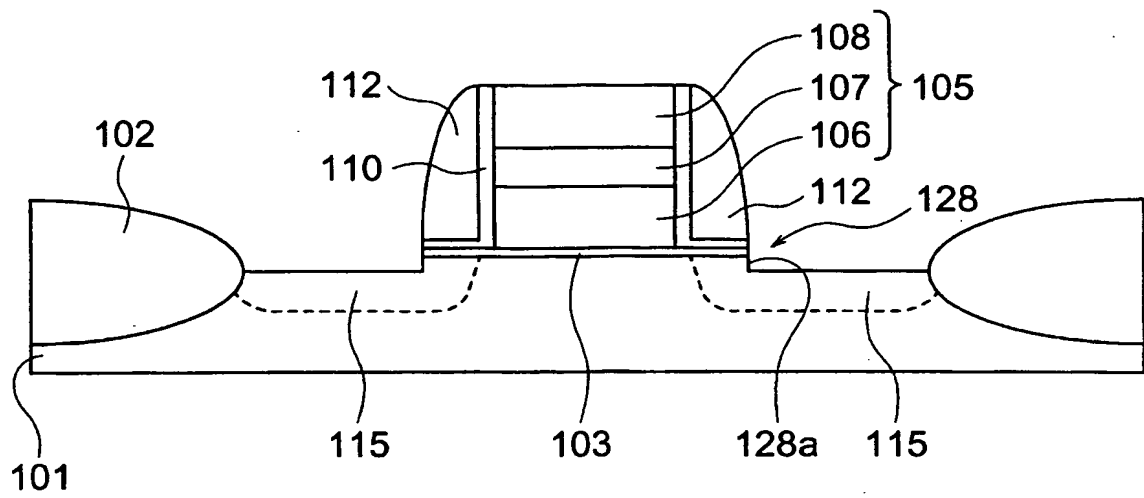
【図 9】



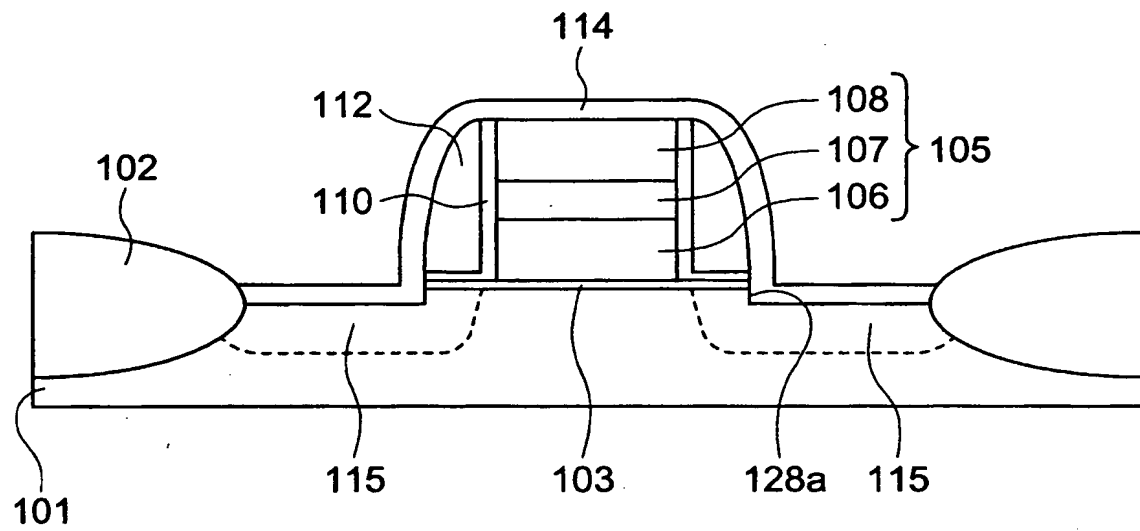
【図 10】



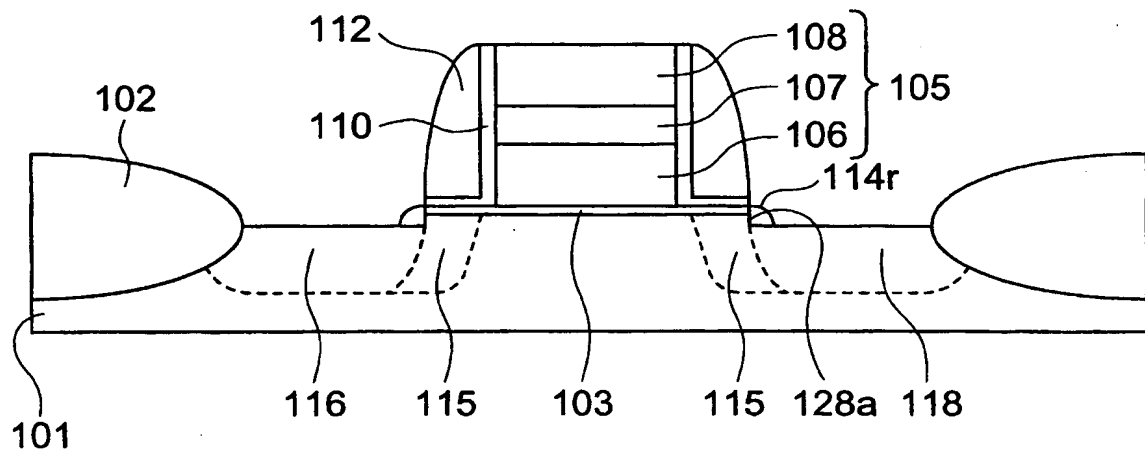
【図 11】



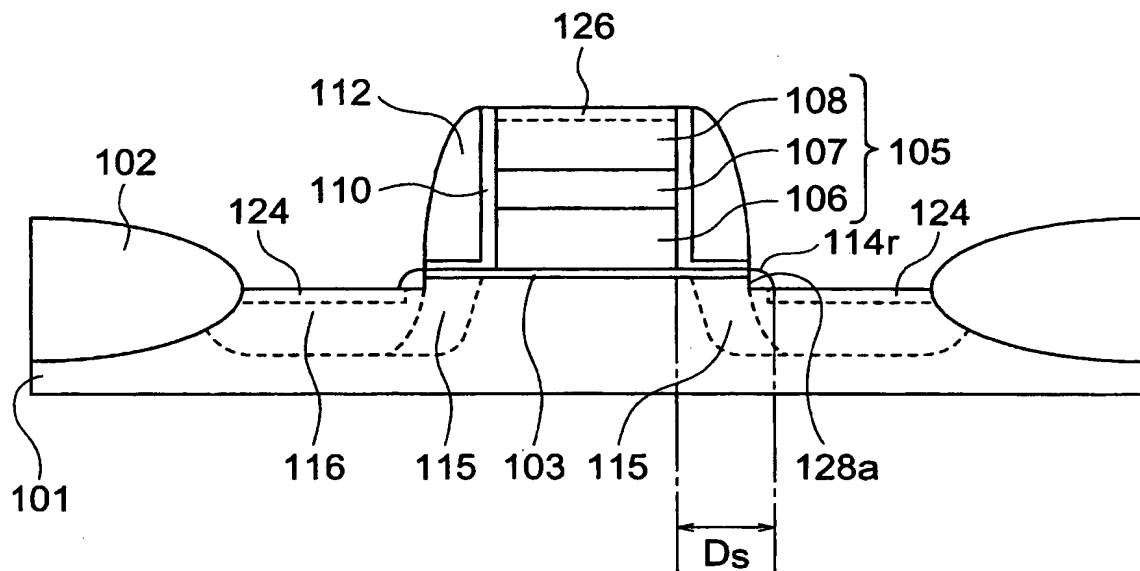
【図 12】



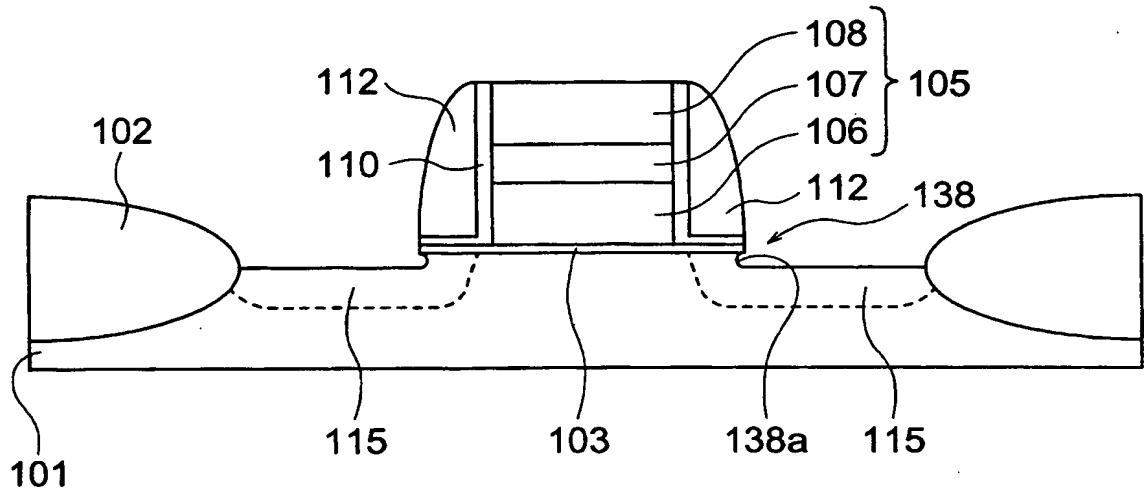
【図 13】



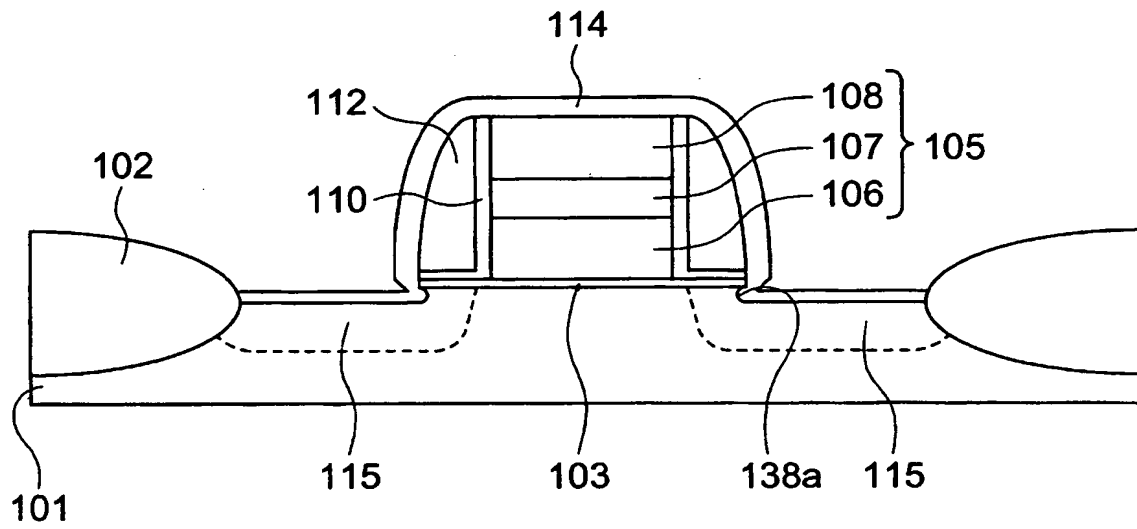
【図 14】



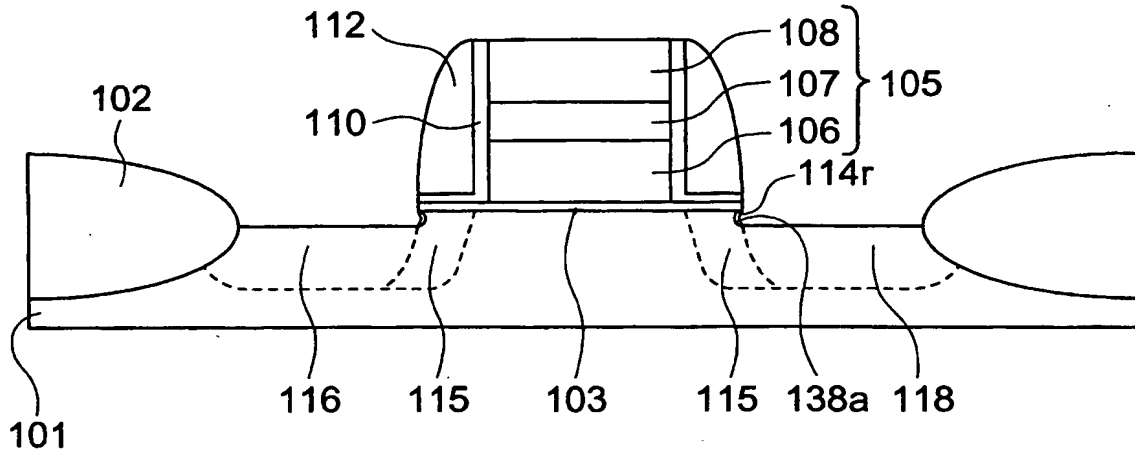
【図 15】



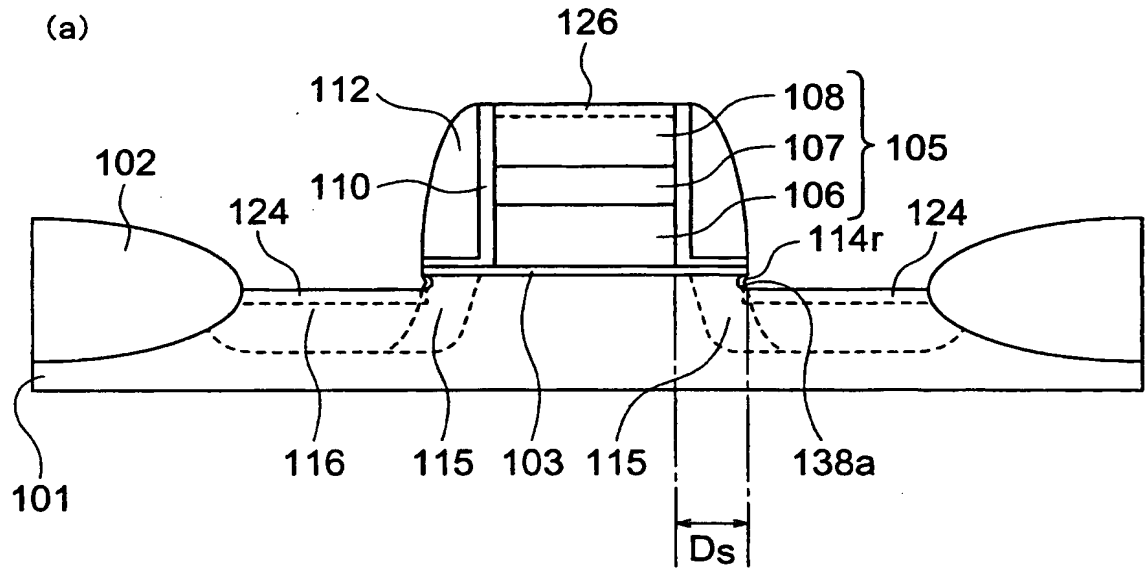
【図 16】



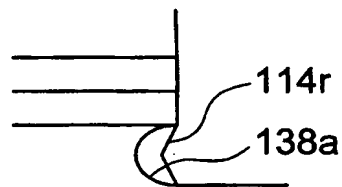
【図 17】



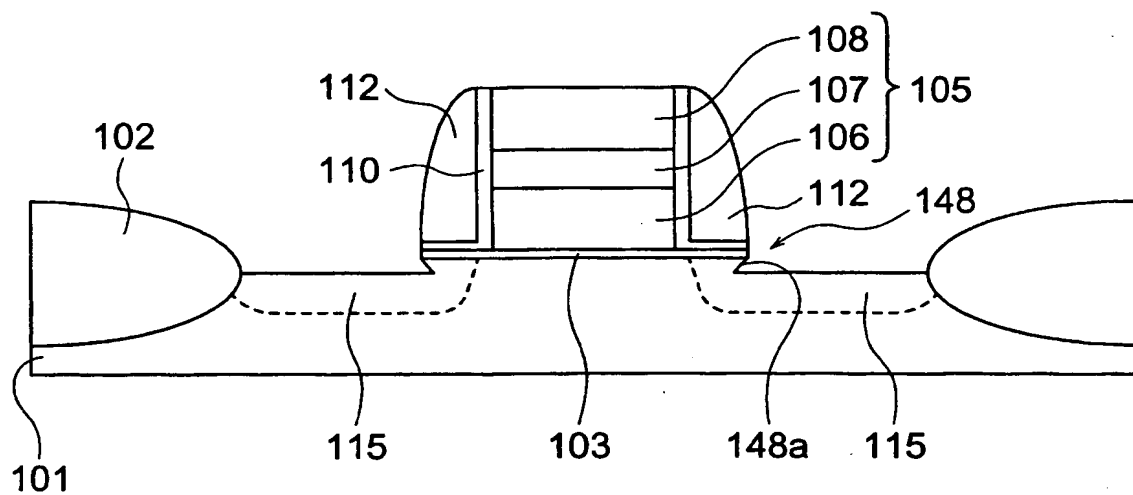
【図 18】



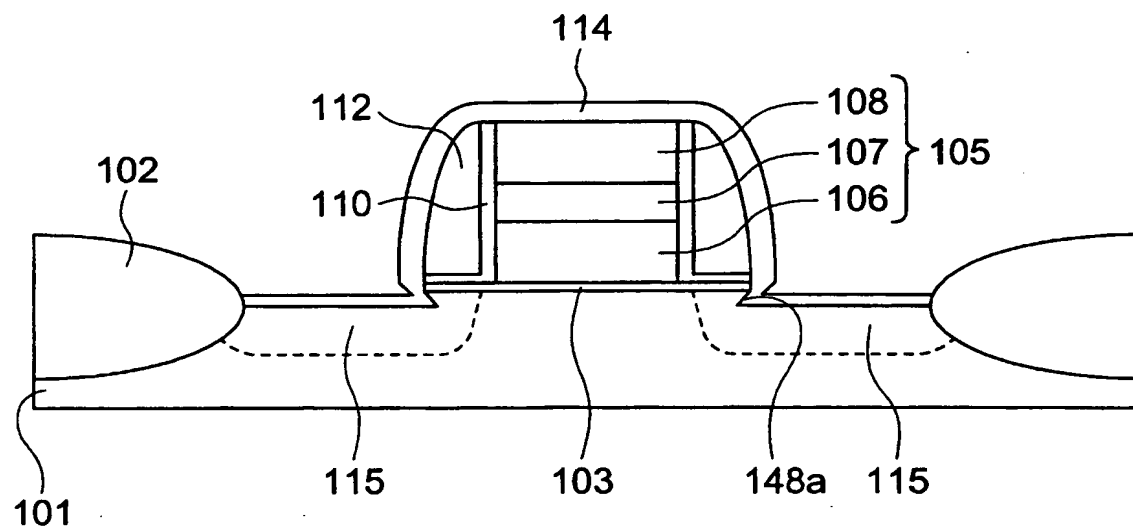
(b)



【図 19】

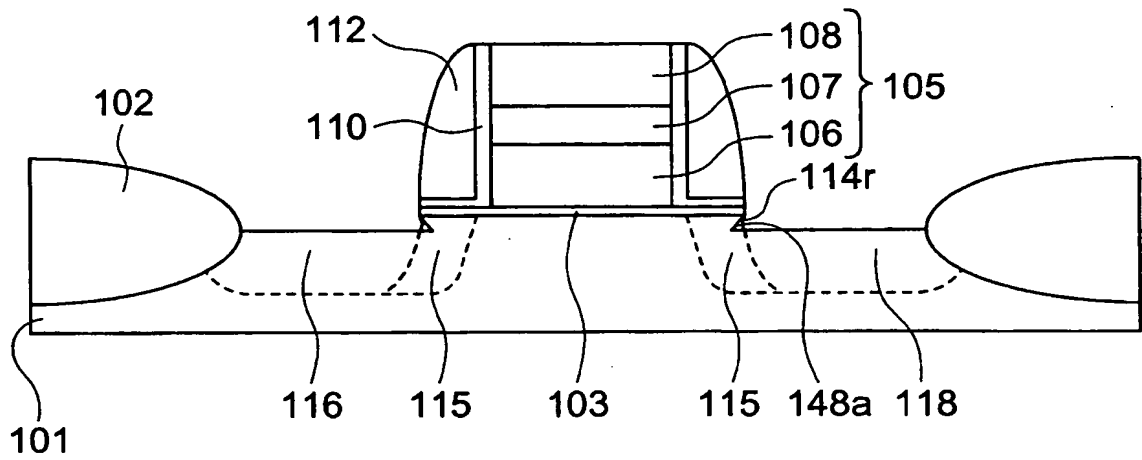


【図 20】

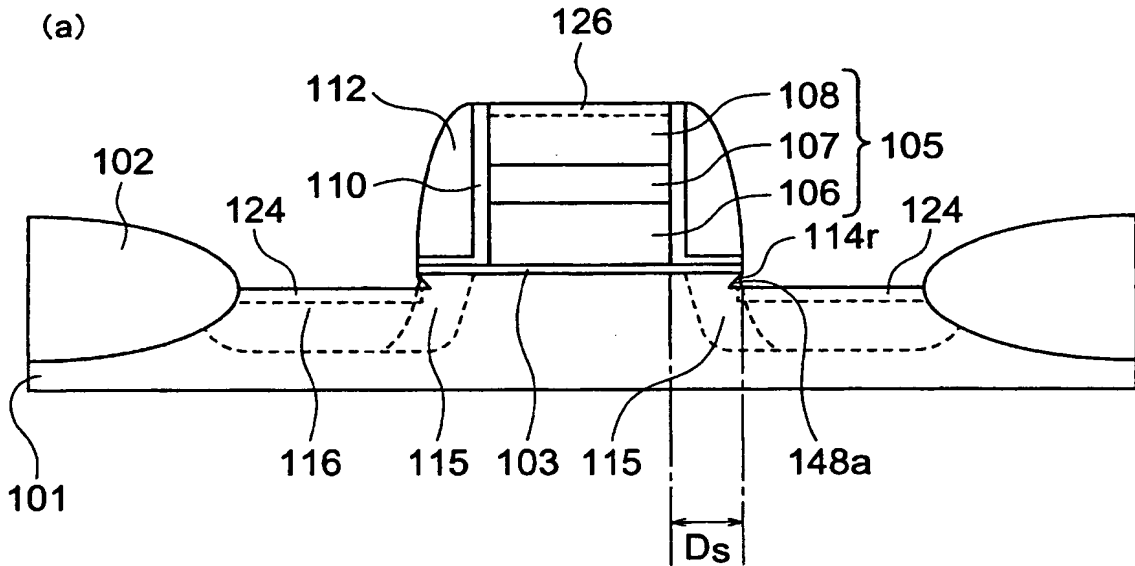




【図 2 1】



【図 2 2】



【書類名】 要約書

【要約】

【課題】 サリサイド構造のMOS型半導体装置の製造方法において、ゲート電極と拡散層との間のリーク電流を防止し得るようにする。

【解決手段】 シリコン基板(101)上にゲート電極(105)を形成し、ゲート電極(105)の側面に第1のスペーサ(112)を形成し、ゲート電極(105)および第1のスペーサ(112)をマスクとして、シリコン基板(101)の表面を削り取って第1のスペーサ(112)の基底部に隣接した位置に段差部(118、128、138、148)を形成し、この段差部に第2のスペーサ(114r)を形成し、第1のスペーサ(112)および第2のスペーサ(114r)をマスクとして、シリコン基板(101)にシリサイド(124)を形成する。

【選択図】 図9

特願 2 0 0 3 - 3 4 4 0 5 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社

特願 2 0 0 3 - 3 4 4 0 5 6

出 願 人 履 歴 情 報

識別番号

[ 5 9 1 0 4 8 1 6 2 ]

- |          |                         |
|----------|-------------------------|
| 1. 変更年月日 | 1 9 9 1 年    3 月 1 1 日  |
| [変更理由]   | 新規登録                    |
| 住 所      | 宮城県黒川郡大衡村沖の平 1 番地       |
| 氏 名      | 宮城沖電気株式会社               |
|          |                         |
| 2. 変更年月日 | 2 0 0 2 年    7 月    4 日 |
| [変更理由]   | 住所変更                    |
| 住 所      | 宮城県黒川郡大衡村沖の平 1 番        |
| 氏 名      | 宮城沖電気株式会社               |